

ÖZGEÇMİŞ

1. **Adı Soyadı:** Rıza Tamer Çakıcı
2. **Doğum Tarihi:** 20 Kasım 1978
3. **Unvanı:** Doktor
4. **Öğrenim Durumu:** Bütünleşik Doktora

Derece	Alan	Üniversite	Yıl
Lisans	Elektrik-Elektronik Müh.	Boğaziçi Üniversitesi	2000
Y. Lisans			
Doktora	Elektrik-Elektronik Müh.	Purdue Üniversitesi	2007

5. Akademik Unvanlar:

Yardımcı Doçentlik Tarihi :
Doçentlik Tarihi :
Profesörlük Tarihi :

6. Yönetilen Yüksek Lisans ve Doktora Tezleri

6.1. Yüksek Lisans Tezleri

6.2. Doktora Tezleri

7. Yayınlar

7.1. Uluslararası hakemli dergilerde yayınlanan makaleler (SCI & SSCI & Arts and Humanities)

1. Saibal Mukhopadhyay, Cassondra Neau, Tamer Cakici, Amit Agarwal, Chris H. Kim ve Kaushik Roy, "Gate Leakage Reduction for Scaled Devices Using Transistor Stacking", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 11(4), s. 716-730, Ağustos 2003.
2. Animesh Datta, Ashish Goel, Tamer Cakici, Hamid Mahmoodi, Dheepa Lekshmanan ve Kaushik Roy, "Modeling and Circuit Synthesis for Independently Controlled Double Gate FinFET Devices", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 26(11), s. 1957-1966, Kasım 2007.
3. Tamer Cakici ve Kaushik Roy, "Analysis of Options in Double-Gate MOS Technology: A Circuit Perspective", *IEEE Transactions of Electron Devices*, 54(12), s. 3361-3368, Aralık 2007.
4. Paul E. Nicollian, Tamer Cakici, Anand T. Krishnan, Vijay K. Reddy, Anand Seshadri, "Device Characteristics and Equivalent Circuits for NMOS Gate-to-Drain Soft and Hard Breakdown in Polysilicon/SiON Gate Stacks", *IEEE Transactions of Electron Devices*, 58(4), s. 1170-1175, Nisan 2011.

7.2. Uluslararası diğer hakemli dergilerde yayınlanan makaleler

7.3. Uluslararası bilimsel toplantılarda sunulan ve bildiri kitabında (*Proceedings*) basılan bildiriler

1. Tamer Cakici ve Kaushik Roy, "Current Mirror Evaluation Logic: A New Circuit Style for High Fan-in Dynamic Gates", *IEEE European Solid-State Circuits Conference (ESSCIRC)*, s. 395-398, Ekim 2002.
2. Tamer Cakici, Aditya Bansal ve Kaushik Roy, "A Low Power Four Transistor Schmitt Trigger for Asymmetric Double Gate Fully Depleted SOI Devices", *IEEE International SOI Conference*, s. 21-22, Ekim 2003.

3. Tamer Cakici, Hamid Mahmoodi, Saibal Mukhopadhyay ve Kaushik Roy, "Independent Gate Skewed Logic in Double-Gate SOI Technology", *IEEE International SOI Conference*, s. 83-84, Ekim 2005.
4. Kaushik Roy, Hamid Mahmoodi, Saibal Mukhopadhyay, Hari Ananthan, Aditya Bansal, ve Tamer Cakici, "Double-Gate SOI Devices for Low-Power and High-Performance Applications", *Invited paper, IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, s. 217-224, Kasim 2005.
5. Kaushik Roy, Hamid Mahmoodi, Saibal Mukhopadhyay, Hari Ananthan, Aditya Bansal, ve Tamer Cakici, "Double-Gate SOI Devices for Low-Power and High-Performance Applications", *Invited paper, IEEE International Conference on Very Large Scale Integration Design (VLSID)*, s. 445-452, Ocak 2006.
6. Tamer Cakici, Byunghoo Jung, and Kaushik Roy, "High Q and High Tuning Range FinFET Based Varactors for Low Cost SoC Integration", *IEEE International SOI Conference*, s. 67-68, Ekim 2006.
7. Tamer Cakici, Keejong Kim, ve Kaushik Roy, "FinFET Based SRAM Design for Low Standby Power Applications", *IEEE International Symposium on Quality Electronic Design (ISQED)*, s. 127-132, Mart 2007.
8. Myeong-Eun Hwang, Tamer Cakici, ve Kaushik Roy, "Process Tolerant β -ratio Modulation for Ultra-Dynamic Voltage Scaling", *IEEE Design, Automation and Test in Europe Conference & Exhibition (DATE)*, s. 1-6, Nisan 2007.
9. R. Tamer Cakici, P. E. Nicollian, C. A. Chancellor, "SPICE simulations of data path timing margins after dielectric breakdown from gate-to-drain using accurate equivalent circuit models", *IEEE International Reliability Physics Symposium*, s. CR. 3.1-CR. 3.3, Nisan 2012.

7.4. Yazılan uluslararası kitaplar veya kitaplarda bölümler

7.5. Ulusal hakemli dergilerde yayınlanan makaleler

7.6. Ulusal bilimsel toplantılarda sunulan ve bildiri kitabında basılan bildiriler

7.7. Diğer yayınlar

1. **Uluslararası patent:** P.E. Nicollian, R.T. Cakici - US Patent 8,554,531, "System and Circuit for Simulating Gate-to-Drain Breakdown", (2013)

8. Projeler

1. Intel Corporation, "SOI Circuit Design" (2000-2003)
2. Semiconductor Research Corporation (SRC), "Robust Circuits for Scaled CMOS Technologies" (2003-2007)
3. Motorola/Semiconductor Research Corporation, "Compact Models to Evaluate Asymmetric Double Gate Devices" (2004)
4. Texas Instruments, "Ultra-low Power Digital Circuits" (2006)
5. Circuits and Systems Research Center (C2S2), Carnegie Mellon University (a MARCO Center), "Double-Gate MOSFET Devices and Circuits" (2006-2009)
6. Texas Instruments, "An Equivalent Circuit Model for Asymmetric DeMOS Transistors", (2007-2012)
7. Texas Instruments, "An Equivalent Circuit Model for Post Breakdown Transistors" (2010-2012)
8. Texas Instruments, "Ultra Low Leakage in 90nm Flash CMOS" (2011-2012)

9. İdari Görevler

10. Bilimsel ve Mesleki Kuruluşlara Üyelikler

11. Ödüller

Semiconductor Research Corporation (SRC) Excellence Award (2005)

12. Son iki yılda verdiğiniz lisans ve lisansüstü düzeydeki dersler için aşağıdaki tabloyu doldurunuz.

Akademik Yıl	Dönem	Dersin Adı	Haftalık Saati		Öğrenci Sayısı
			Teorik	Uygulama	
	Güz				
	İlkbahar				
	Güz				
	İlkbahar				

Not: Açılmışsa, yaz döneminde verilen dersler de tabloya ilave edilecektir.